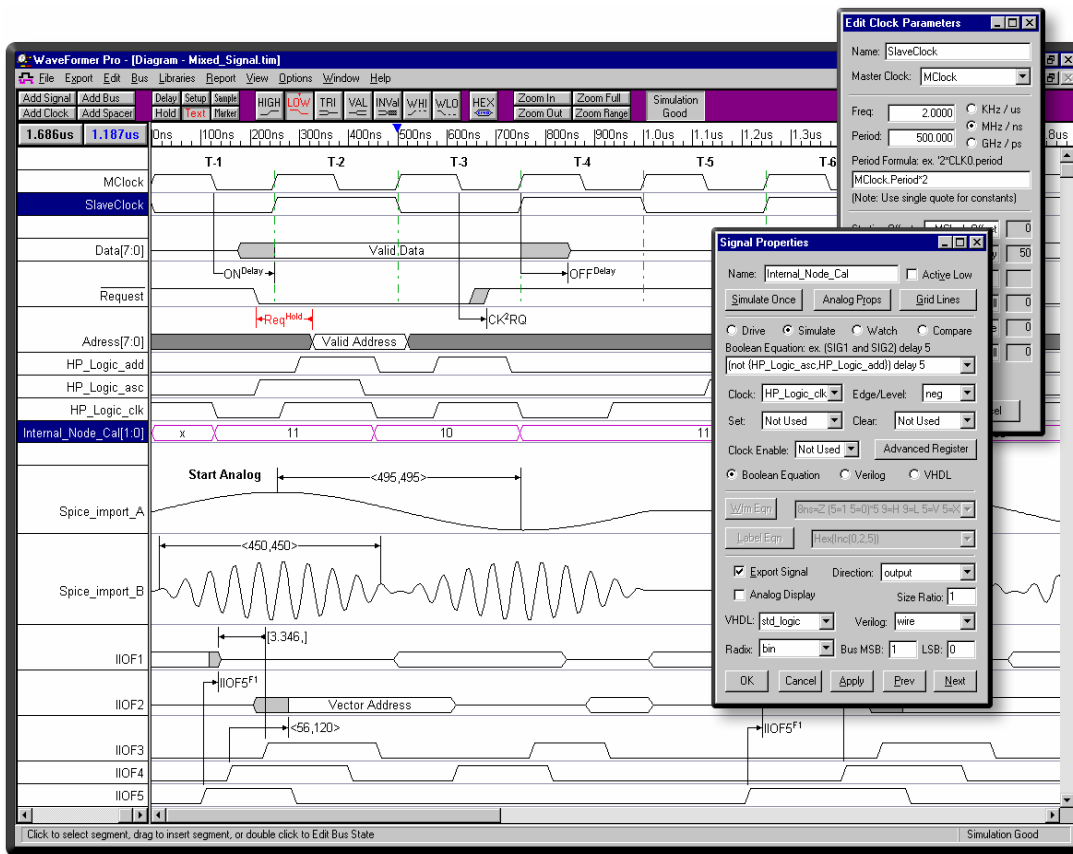


TestBencher Pro



Grafische Testbench-Generierung für VHDL, Verilog, OpenVera, e und C++

Mit TestBencher Pro

haben Sie die gesamte Simulation im Griff – die Simulations Software sollten Sie allerdings schon haben.

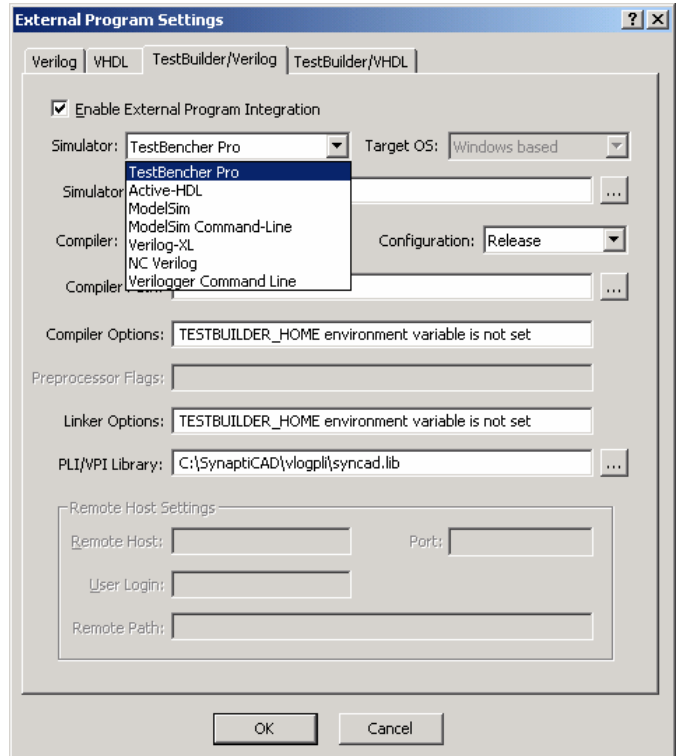
TestBencher Pro steuert die Simulations Software wie z. B. Modelsim auf der gleichen Station oder auf einem anderen Computer im Netz.

TestBencher Pro wertet auch die Simulations-Ergebnisse aus und steuert dann entsprechende Schritte.

Mit TestBencher Pro

entwickeln Sie die für eine gute Simulation benötigten Testbenches sehr komfortabel mit einer grafischen Oberfläche, die Sie vom TimingDiagrammer Pro, WaveFormer Pro oder DataSheet Pro eventuell schon kennen.

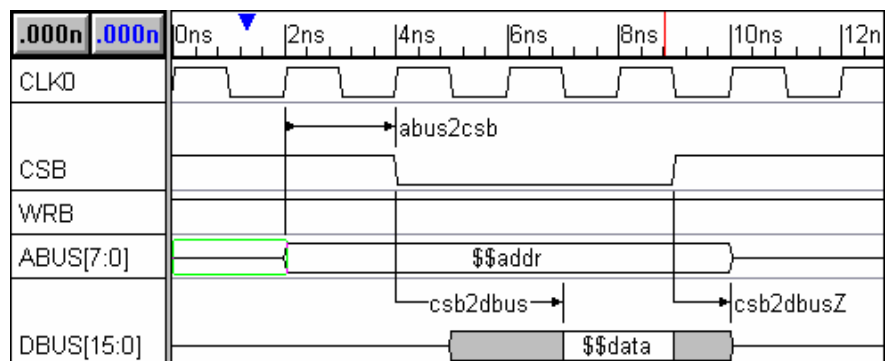
TestBencher Pro nimmt Ihnen bei der Entwicklung der Testbenches in einer HDL Sprache Ihrer Wahl die Knochenarbeit ab.



Ein Beispiel – ein sehr einfaches....

```

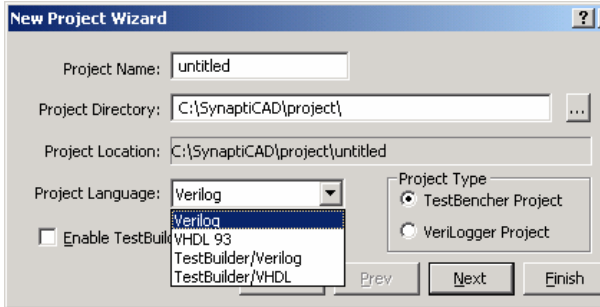
module testbench;
...
task write(addr,data,csb2dbus);
  input [7:0] addr;
  input [15:0] data;
  input [1:0] csb2dbus;
begin
  ABUS = addr;
  @(posedge CLK0) //required
abus2csb setup
  CSB = 1'b0;
  repeat (csb2dbus) @CLK0;
  DBUS = data;
  @(posedge CLK0)
  CSB = 1'b1;
  DBUS = 'hz;
  ABUS = 'hz;
end
endtask
...
endmodule
  
```



TestBencher Pro erstellt aus einer Vielzahl von Transaktionen eine fertige Testbench für viele Simulatoren.

Hier zeigen wir eine sehr einfache Transaktion in zwei unterschiedlichen Darstellungen. Welche Darstellung erkennen Sie schneller, besser, bequemer – den HDL Code oder die grafische Darstellung ?

Wir meinen, die Grafik erkennt auch Ihr Kollege besser, der den Code nicht geschrieben hat – und Sie kennen bestimmt noch viel komplexere HDL Codes....



Die Qualität einer Simulation

ist nicht nur von der Simulations-Software abhängig, sondern auch von den verwendeten Testbenches sowie auch von der Auswertung der Simulations-Ergebnisse.

Nehmen Sie eine Simulations-Software Ihrer Wahl und wählen Sie auch die HDL Sprache:

TestBencher Pro

verwaltet das gesamte Projekt für Sie: Alle Dateien sind auf unterschiedlichen Ebenen übersichtlich angeordnet.

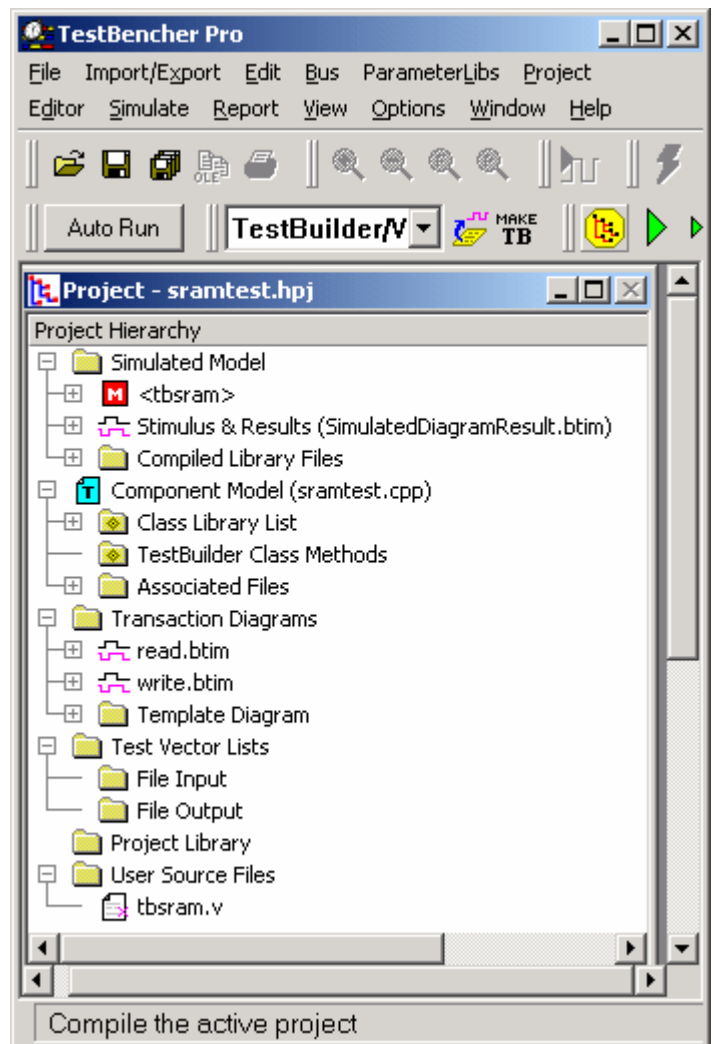
TestBencher Pro passt in sehr viele Simulations-Umgebungen. Eine besonders weit entwickelte Integration besteht zu Modelsim.

Auch in Simulations-Umgebungen mit Software von Cadence und Synopsys ist TestBencher Pro sehr gut einsetzbar. Aus dem Projektfenster ist zu erkennen, dass auch Verbindungen zu Testbuilder bestehen.

Die einzelnen Transaktionen werden im TestBencher Pro in Timing Diagrammen abgebildet. Zur Erleichterung kann jeder Anwender Template Diagramme als Grundlage für nur geringfügig abweichende Transaktionen speichern.

Die Timing Diagramme für die zur Simulation anstehenden Transaktionen sind mit den gleichen Verfahren wie im TimingDiagrammer Pro, WaveFormer Pro und DataSheet Pro erstellt. Die Timing Diagramme sind die Grundlage für die Testbenches, unabhängig von der HDL Sprache des Testbenches. Die Timing Diagramme sind somit ohne Änderungen in Testbenches unterschiedlicher HDL Sprachen verwendbar.

Nur TestBencher Pro verwaltet alle Dateien zur professionellen Entwicklung von



Testbenches einschließlich des Model Under Test, der Libraries, der Templates und der Transactions.

Sie können die Simulation nach dem Compilieren der TestBench mit TestBencher Pro starten oder die Testbench Dateien zum Simulator kopieren und diesen direkt starten.

TestBencher Pro

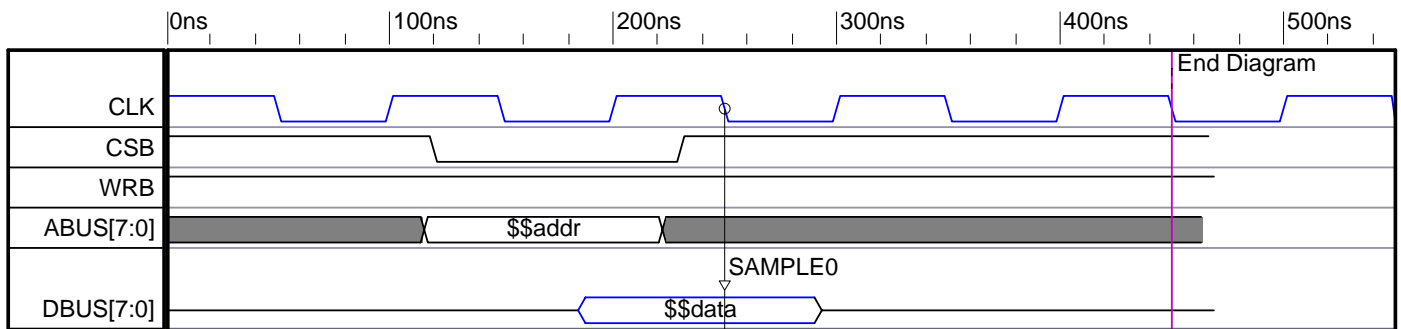
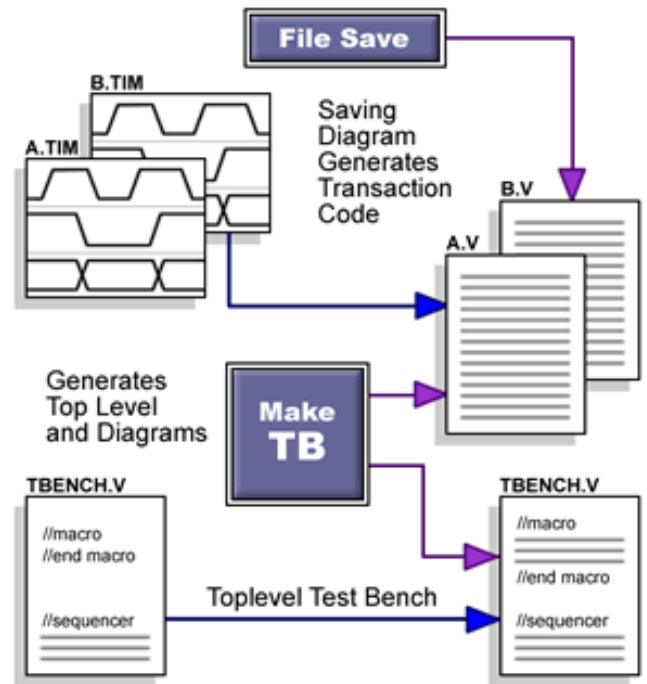
generiert den HDL Code für Sie.

Grundlage der Transactions in den Testbenches vom TestBencher Pro sind Timing Diagramme. Beim Speichern der Timing Diagramme im TestBencher Pro wird automatisch der Code in der für ein Projekt gewählten HDL Sprache gespeichert.

Zur Überprüfung von Signal Zuständen setzt der Anwender von TestBencher Pro Samples. Diese Samples werden bei der Simulation ausgewertet. Bei unerwünschten Zuständen werden Fehlermeldungen ausgegeben.

Für jedes Projekt hat TestBencher Pro eine Toplevel Test Bench in der vom Anwender gewählten HDL Sprache. Hierin wird die Transactions-Abfolge bei der Simulation festgelegt.

TestBencher Code Generation



Eine kleine Transaction:

Lesen auf einem Datenbus mit Prüfung der Daten bei der 3. fallenden Clock Flanke.

Die Simulation wird bei der 5. Clock Flanke beendet. Dies ist mit dem Marker „End Diagram“ festgelegt.

TestBencher Pro

steuert für Sie die Compilierung und Simulation mit Software von anderen Herstellern auf unterschiedlichen Betriebssystemen.

TestBencher Pro arbeitet für Sie auf: Windows, Solaris, HP-UX und demnächst auch Linux – fragen Sie uns nach Test-Software.

